

rec' 37510

23 MAR 2005

107/5204105244

日本国特許庁
JAPAN PATENT OFFICE

20.5.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

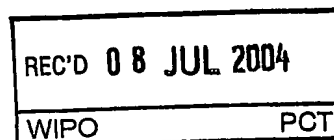
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 5月28日

出願番号
Application Number: 特願2003-151021

[ST. 10/C]: [JP 2003-151021]

出願人
Applicant(s): 三菱電機株式会社

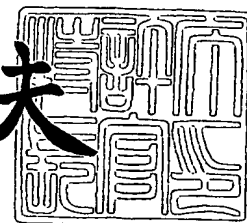


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 6月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3054532

【書類名】 特許願
【整理番号】 545219JP01
【提出日】 平成15年 5月28日
【あて先】 特許庁長官殿
【国際特許分類】 H03M 1/66
G09G 3/36
G09G 3/20

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 時岡 秀忠

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 上里 将史

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 橋戸 隆一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 岡部 正志

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 電流供給回路および電流供給回路を備える表示装置

【特許請求の範囲】

【請求項 1】 n ビット (n : 2 以上の整数) のデジタルデータに応じた出力電流を供給する電流供給回路であって、

電流供給時に、電流駆動素子を介して第 1 の電源ノードと電氣的に接続される電流出力ノードと、

第 2 の電源ノードおよび前記電流出力ノードの間に設けられ、前記デジタルデータを受けて、前記電流供給時に前記第 1 および第 2 の電源ノード間に前記電流出力ノードを含んで形成される電流経路の電流量を前記デジタルデータに応じて制御するための電流制御回路と、

前記デジタルデータを受けて、前記電流供給開始後に、前記電流出力ノードに前記デジタルデータに応じた電圧変化を強制的に生じさせるための電圧調整回路とを備える、電流供給回路。

【請求項 2】 前記電流駆動素子は、前記第 1 の電源ノードおよび前記電流出力ノードとそれぞれ電氣的に接続されたソースおよびドレインを有する電界効果型トランジスタを含み、

前記電界効果型トランジスタのゲートおよびドレイン間は、前記電流供給時に電氣的に接続される、請求項 1 記載の電流供給回路。

【請求項 3】 前記電流供給時において、前記電流出力ノードの電圧は、前記電流駆動素子の特性に依存して、前記出力電流のレベルに応じた定常電圧へ整定し、

前記電圧調整回路は、前記デジタルデータに応じて、前記電流出力ノードの電圧を前記定常電圧へ近づけるように前記電流出力ノードとの間で電荷の授受を行なう、請求項 1 記載の電流供給回路。

【請求項 4】 前記電圧調整回路は、

前記出力電流の供給に先立って、前記電流出力ノードを所定電圧にプリチャージするプリチャージ回路と、

前記電流供給開始時より、前記電流出力ノードとの間で前記デジタルデータに

応じた電荷の授受を行なうプリチャージ調整回路とを含む、請求項 1 記載の電流供給回路。

【請求項 5】 前記プリチャージ調整回路は、前記 n ビットにそれぞれ対応して設けられる n 個の調整ユニットを含み、

前記 n 個の調整ユニットは、

前記出力電流の供給に先立って、第 1 から第 n の電圧によってそれぞれ充電される n 個のキャパシタと、

前記 n 個のキャパシタと前記電流出力ノードとの間にそれぞれ設けられた n 個のスイッチ素子とをそれぞれ有し、

前記 n 個のスイッチの各々は、前記電流供給時に、前記デジタルデータの対応の 1 ビットに応じてオンまたはオフする、請求項 4 記載の電流供給回路。

【請求項 6】 前記電流供給時において、前記電流出力ノードの電圧は、前記電流駆動素子の特性に依存して、前記出力電流のレベルに応じた定常電圧へ整定し、

前記所定電圧、前記第 1 から第 n の電圧および前記 n 個のキャパシタの容量値は、前記 n ビットの組合せの少なくとも一部のそれぞれにおける、前記 n ビットに対応した前記 n 個のスイッチ素子の少なくとも一部のオン前後での、前記定常電圧を反映した電荷保存則に基づいて設計される、請求項 5 記載の電流供給回路。

【請求項 7】 前記電流制御回路は、前記 n ビットに対応してそれぞれ設けられ、前記電流データ線に対して並列に接続された n 個の定電流源を含み、

前記 n 個の定電流源は、前記 n ビットにそれぞれ応じて、第 1 から第 n の電流を前記第 2 の電源ノードおよび前記電流出力ノードの間に生じさせる、請求項 1 記載の電流供給回路。

【請求項 8】 前記第 1 から第 n の電流は、前記 n ビットの所定の重み付けに応じて、2 の累乗に従って段階的に設定される、請求項 7 記載の電流供給回路。

【請求項 9】 n ビット (n : 2 以上の整数) のデジタルデータに応じた出力電流を供給する電流供給回路であって、

電流供給時に、電流駆動素子を介して第1の電源ノードと電氣的に接続される電流出力ノードと、

第2の電源ノードおよび前記電流出力ノードの間に設けられ、前記デジタルデータを受けて、前記電流供給時に前記第1および第2の電源ノード間に前記電流データ線を含んで形成される電流経路の電流量を前記デジタルデータに応じて制御するための電流制御回路と、

前記デジタルデータを受けて、前記電流供給に先立って、前記電流出力ノードの電圧を前記デジタルデータに応じた電圧へ近づけるための電圧調整回路とを備える、電流供給回路。

【請求項10】 前記電流供給時において、前記電流出力ノードの電圧は、前記電流駆動素子の特性に依存して、前記出力電流のレベルに応じた定常電圧へ整定し、

前記電圧調整回路は、

第1の期間に、前記電流出力ノードを所定電圧にプリチャージするプリチャージ回路と、

前記第1の期間よりも後に設けられる第2の期間に、前記電流出力ノードの電圧を前記定常電圧へ近づけるように、前記電流出力ノードとの間で前記デジタルデータに応じた電荷の授受を行なうプリチャージ調整回路とを含む、請求項9記載の電流供給回路。

【請求項11】 n ビット ($n: 2$ 以上の整数) の画像データに応じた階調表示を行なう表示装置であって、

前記画像データに応じた表示電流を供給する電流供給回路と、

各々が、供給された電流に応じた輝度を発する電流駆動型発光素子と、前記電流駆動型発光素子に前記表示電流を供給するための画素駆動回路とを含む複数の画素回路と、

前記電流供給回路が供給する前記表示電流を前記複数の画素回路へ伝達するための電流データ線とを備え、

前記画素駆動回路は、前記表示電流の伝達を受ける所定期間に、前記電流データ線および第1の電源ノードの間に接続される電流駆動素子を有し、かつ、前記

所定期間に伝達された前記表示電流を前記電流駆動型発光素子へ供給し、
前記電流供給回路は、

第2の電源ノードおよび前記電流データ線の上に設けられ、前記画像データを受けて、前記表示電流の供給時に前記第1および第2の電源ノード間に前記電流データ線を含んで形成される電流経路の電流量を前記画像データに応じて制御するための電流制御回路と、

前記画像データを受けて、前記表示電流の供給開始後に、前記電流データ線に前記画像データに応じた電圧変化を強制的に生じさせるための電圧調整回路とを含む、表示装置。

【請求項12】 前記電流制御回路は、前記nビットに対応してそれぞれ設けられ、前記電流データ線に並列に接続されたn個の定電流源を含み、

前記n個の定電流源は、前記nビットにそれぞれ応じて、第1から第nの電流を前記電流データ線に生じさせる、請求項11記載の表示装置。

【請求項13】 前記表示電流の供給時において、前記電流データ線の電圧は、前記電流駆動素子の特性に依存して、前記表示電流のレベルに応じた定常電圧へ整定し、

前記電圧調整回路は、

前記表示電流の供給に先立って、前記電流データ線を所定電圧にプリチャージするプリチャージ回路と、

前記表示電流の供給開始時より、前記電流データ線の電圧を前記定常電圧へ近づけるように、前記電流データ線との間で前記画像データに応じた電荷の授受を行なうプリチャージ調整回路とを含む、請求項11記載の表示装置。

【請求項14】 前記プリチャージ調整回路は、前記nビットにそれぞれ対応して設けられるn個のプリチャージ調整ユニットを含み、

前記n個のプリチャージ調整ユニットは、

前記表示電流の供給に先立って、第1から第nの電圧によってそれぞれ充電されるn個のキャパシタと、

前記n個のキャパシタと前記電流データ線との間にそれぞれ設けられたn個のスイッチ素子とをそれぞれ有し、

前記 n 個のスイッチの各々は、前記表示電流の供給時に、前記画像データの対応の 1 ビットに応じてオンまたはオフする、請求項 13 記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電流供給回路に関し、より特定的には、デジタルデータに応じたアナログ電流を供給する電流供給回路ならびに、電流に応じて発光輝度が変化する有機 EL (Electro Luminescence) 等の電流駆動型発光素子を各画素に備え、当該電流供給回路から出力された電流によって階調表示を実行する表示装置に関する。

【0002】

【従来の技術】

フラットパネルタイプの表示装置として、各画素が電流駆動型発光素子で構成された自発光型の表示装置が注目されている。自発光型表示装置は、良好な視認性を有し、また動画表示特性にも優れている。電流駆動型発光素子としては、発光ダイオード (LED) がよく知られている。

【0003】

一般に、表示装置においては、行列状に配置された複数の画素が、点順次走査や線順次走査によって順次駆動されて、表示電流の供給を受ける。そして、各画素は次に駆動されるまでの間、駆動時に供給された表示電流に応じた輝度を出力する。各画素が受ける表示電流は、階調表示を実現するために通常アナログ電流となる。このアナログ電流を、各発光素子の最大輝度および最小輝度の中間レベルに設定することによって、各画素における階調表示を実行することができる。

【0004】

したがって、電流駆動型発光素子を備えた表示装置においては、各画素での階調的な輝度を示す画像データに応じた表示電流を正確に生成するための電流供給回路が必要である。一般的に、画像データは、複数ビットのデジタルデータとされる。

【0005】

このような表示装置において、階調表示のための表示電流（以下、「階調電流」とも称する）を供給するために、画像データを構成する複数ビットにそれぞれ応答して選択的にオン・オフする薄膜トランジスタ（TFT）を介して、複数の定電流源を並列に接続することにより、これらの定電流源からの供給電流の和として階調電流を発生させる電流供給回路が知られている（たとえば特許文献1）。

【0006】

【特許文献1】

特開平11-212493号公報（第2-3頁，第1図）

【0007】

【発明が解決しようとする課題】

しかしながら、上記の電流供給回路の構成では、これらの定電流源の出力電流が加算される出力ノードの定常的な電圧は、定電流源中の電流駆動素子の特性に依存して、供給されるべき階調電流のレベルに応じて異なってくる。したがって、画像データに応じた階調電流の供給時において、当該出力ノードが階調電流に応じた定常電圧へ達するまでの過渡期間においては、階調電流は、画像データに応じたレベルに整定しない。この結果、このような構成の電流供給回路では、階調表示のための正確な階調電流を、高速に発生させることが困難であるという問題点があった。

【0008】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、デジタルデータに応じたアナログ電流を高速に供給することが可能な電流供給回路、ならびにそのような電流供給回路を用いて階調電流を供給する表示装置の構成を提供することである。

【0009】

【課題を解決するための手段】

この発明に従う電流供給回路は、 n ビット（ n ：2以上の整数）のデジタルデータに応じた出力電流を供給する電流供給回路であって、電流供給時に、電流駆動素子を介して第1の電源ノードと電氣的に接続される電流出力ノードと、第2

の電源ノードおよび電流出力ノードの間に設けられ、デジタルデータを受けて、電流供給時に第1および第2の電源ノード間に電流出力ノードを含んで形成される電流経路の電流量をデジタルデータに応じて制御するための電流制御回路と、デジタルデータを受けて、電流供給開始後に、電流出力ノードにデジタルデータに応じた電圧変化を強制的に生じさせるための電圧調整回路とを備える。

【0010】

この発明の他の構成に従う電流供給回路は、 n ビット（ n ：2以上の整数）のデジタルデータに応じた出力電流を供給する電流供給回路であって、電流供給時に、電流駆動素子を介して第1の電源ノードと電氣的に接続される電流出力ノードと、第2の電源ノードおよび電流出力ノードの間に設けられ、デジタルデータを受けて、電流供給時に第1および第2の電源ノード間に電流データ線を含んで形成される電流経路の電流量をデジタルデータに応じて制御するための電流制御回路と、デジタルデータを受けて、電流供給に先立って、電流出力ノードの電圧をデジタルデータに応じた電圧へ近づけるための電圧調整回路とを備える。

【0011】

この発明に従う表示装置は、 n ビット（ n ：2以上の整数）の画像データに応じた階調表示を行なう表示装置であって、画像データに応じた表示電流を供給する電流供給回路と、各々が、供給された電流に応じた輝度を発する電流駆動型発光素子と、電流駆動型発光素子に表示電流を供給するための画素駆動回路とを含む複数の画素回路と、電流供給回路が供給する表示電流を複数の画素回路へ伝達するための電流データ線とを備え、画素駆動回路は、表示電流の伝達を受ける所定期間に、電流データ線および第1の電源ノードの間に接続される電流駆動素子を有し、かつ、所定期間以外では所定期間に伝達された表示電流を電流駆動型発光素子へ供給し、電流供給回路は、第2の電源ノードおよび電流データ線の間に設けられ、画像データを受けて、表示電流の供給時に第1および第2の電源ノード間に電流データ線を含んで形成される電流経路の電流量を画像データに応じて制御するための電流制御回路と、画像データを受けて、表示電流の供給開始後に、電流データ線に画像データに応じた電圧変化を強制的に生じさせるための電圧調整回路とを含む。

【0012】

【発明の実施の形態】

以下において、図面を参照して本発明の実施の形態について詳細に説明する。
なお、図中における同一符号は同一または相当部分を示すものとする。

【0013】

【実施の形態1】

図1は、本発明に従う電流供給回路を備えた表示装置の全体構成を示すブロック図である。

【0014】

図1を参照して、表示装置10は、複数の画素回路20が行列状に配置された表示パネル部30と、スキャン回路40と、階調電流発生部50とを備える。

【0015】

なお、以下においては、表示装置10は、データビットD0～D5から構成される6ビットの画像データに応じた画像を表示するものとする。すなわち、各画素において、6ビットの画像データに応じて $2^6=64$ 段階の階調表示が実行される。

【0016】

各画素回路20は、後ほど詳細に説明するように、電流駆動型発光素子（たとえばEL素子や発光ダイオード）を有する。表示パネル部30において、複数の画素回路20は、行列状に配置される。画素の行（以下、単に「画素行」とも称する）にそれぞれ対応して走査線SLが配置され、画素の列（以下、単に「画素列」とも称する）にそれぞれ対応してデータ線DLが配置される。

【0017】

なお、各画素行において、3つの画素回路20ごとに1つのカラー表示単位31を構成して、各カラー表示単位31において、3つの画素回路20によってR（赤）、G（緑）およびB（青）をそれぞれ表示することにより、カラー画像を表示することができる。

【0018】

スキャン回路40は、所定の走査周期を示すクロックCLKVに応答して、画

素行を順に選択する。スキャン回路 40 は、選択行に対応する走査線 S L を選択状態へ活性化し、残りの走査線 S L を非選択状態へ非活性化する。したがって、各走査線 S L は、一定周期で順番に選択状態へ活性化される。

【0019】

階調電流発生部 50 は、シフトレジスタ 52 と、ラッチ回路 54 と、電流供給回路 100 とを含む。

【0020】

シフトレジスタ 52 には、所定周期を示すクロック C L K H に応答して、画素列を順に選択するための制御信号およびそれに付随したタイミング信号群を含む制御信号群 53 を生成する。

【0021】

ラッチ回路 54 は、シフトレジスタ 52 から出力された制御信号群 53 に含まれるラッチ信号に応答して、R（赤）、G（緑）、B（青）の各々に対応するデータビット D 0 ～D 5 を取込んで保持する。さらに、ラッチ回路 54 は、保持するデータビット D 0 ～D 5 に応答して、電流供給回路 100 の動作を制御するための制御信号 V c n t 0 ～V c n t 5 を生成する。図 1 では、ラッチ回路 54 が 1 つのカラー表示単位 31 を構成する 3 つの画素列ごとに配置される構成を例示しているが、このようなラッチ回路を各画素列ごとあるいはより多数の画素列ごとに設ける構成としてもよい。

【0022】

なお、R（赤）、G（緑）および B（青）をそれぞれ表示する画素回路 20 において、各々の構成および動作は同一であるので、以下においては表示色を区別することなく総括的に、画素の構成および動作について説明することとする。

【0023】

電流供給回路 100 は、各データ線 D L に対応して設けられ、プリチャージタイミングを規定する制御信号 V s t g およびラッチ回路 54 からの制御信号 V c n t 0 ～V c n t 5 に応答して、データビット D 0 ～D 5 に応じた階調電流を対応のデータ線 D L へ供給する。

【0024】

なお、以下では、64 (26) 段階の階調表示にそれぞれ対応する階調電流を、電流 $I_0 \sim I_{63}$ でそれぞれ示すこととする。また、隣り合う階調間での電流レベル差は互いに等しいものとする。すなわち、 $I_0 = 0$ であり、かつ、 $I_{63} - I_{62} = I_{62} - I_{61} = \dots = I_3 - I_2 = I_2 - I_1 = I_1 - I_0 = I_1$ であるものとする。

【0025】

なお、図1には、スキャン回路40および階調電流発生部50が表示パネル部30と一体的に形成された表示装置の構成を例示したが、これらの回路部分については、表示パネル部30の外部回路として設けることも可能である。

【0026】

図2は、図1に示された画素回路20の構成を示す回路図である。図2には、一例として、電流駆動型の発光素子として有機発光ダイオード (OLED) を備えた電流プログラム型の画素回路構成が示される。

【0027】

図2を参照して、画素回路20は、有機発光ダイオード21と、画素駆動回路22とを含む。画素駆動回路22は、データ線DLを介して電流供給回路100から階調電流を伝達され、伝達された階調電流に応じた電流を有機発光ダイオード21へ供給する。画素駆動回路22は、p型TFT23、26、27と、n型TFT24と、キャパシタ25とを有する。

【0028】

電流駆動素子であるp型TFT23は、電源電圧V_{dd}を供給する電源ノード11と接続されるソースと、ノードNaに接続されるドレインと、ノードNbと接続されるゲートとを有する。キャパシタ25は、p型TFT23のソース・ゲート間電圧（以下、「ゲート電圧」とも称する）を保持するように、電源ノード11およびノードNb間に接続される。

【0029】

p型TFT26は、ノードNaおよびNb間の接続を制御するスイッチ素子として設けられ、p型TFT27は、データ線DLおよびノードNa間の接続を制御するスイッチ素子として設けられる。n型TFT24は、ノードNaおよび有

有機発光ダイオード 21 間の接続を制御するスイッチ素子として設けられる。n 型 TFT 24 および p 型 TFT 26, 27 の各ゲートは、対応の走査線 SL と接続される。

【0030】

有機発光ダイオード 21 は、n 型 TFT 24 および所定電圧 V_{ss} (たとえば接地電圧) を供給する電源ノード 12 との間に接続される。すなわち、電源ノード 12 は、共通電極に相当する。図 2 においては、有機発光ダイオード 21 のカソードが共通電極と接続される「カソードコモン構成」が代表的に示される。有機発光ダイオード 21 は、供給された電流に応じた輝度を出力する。

【0031】

本実施の形態では、画素回路中において、p 型 TFT 26 および 27 がターンオンする状態、すなわち走査線 SL が論理ローレベル (以下、単に「L レベル」と称する) である状態を選択状態とし、n 型 TFT 24 がターンオンする状態、すなわち走査線 SL が論理ハイレベル (以下、単に「H レベル」と称する) である状態を非選択状態とする。

【0032】

対応の走査線 SL が選択状態 (L レベル) に設定された画素では、p 型 TFT 26 および 27 がターンオンするため、電源ノード 11 (電源電圧 V_{dd}) から p 型 TFT 23, 27 およびデータ線 DL を介して電流供給回路 100 へ至る電流経路が形成され、電流供給回路 100 によって制御された階調電流が当該電流経路に流される。

【0033】

このとき、画素駆動回路 22 では、電流駆動素子である p 型 TFT 23 のドレインおよびゲート間が p 型 TFT 26 によって接続され、p 型 TFT 23 はダイオード接続される。さらに、電流駆動素子が階調電流を流すときの状態、すなわち p 型 TFT 23 のゲート電圧が、キャパシタ 25 によって保持される。このように、走査線 SL の選択期間において、画像データに応じた階調電流が画素駆動回路 22 によってプログラムされる。

【0034】

その後、走査対象が切換わり、対応の走査線 SL が非選択状態（Hレベル）に設定されると、p型TFT 26, 27はターンオフされ、n型TFT 24がターンオンされる。これにより、画素回路20では、電源ノード11（電源電圧 V_{dd} ）からp型TFT 23、n型TFT 24および有機発光ダイオード21を介して電源ノード12（所定電圧 V_{ss} ）へ至る電流経路が形成され、当該電流経路には、p型TFT 23のゲート電圧に応じた電流が流される。この結果、走査線 SL の選択期間にプログラムされた階調電流を、走査線 SL の非選択期間においても有機発光ダイオード21へ継続的に供給することが可能となる。したがって、各画素回路の表示輝度は、走査線 SL の選択に対応して更新可能であり、走査線 SL の非選択期間においても選択時に設定されたレベルに維持される。

【0035】

図3は、実施の形態1に従う電流供給回路100の構成を示す回路図である。

図3を参照して、電流供給回路100は、電流制御回路110と、プリチャージスイッチ140と、プリチャージ調整回路150とを含む。電流供給回路100は、電流出力ノードに相当するデータ線 DL へ、データビット $D_0 \sim D_5$ から構成されるデジタルデータに応じたアナログ電流である階調電流を供給する。

【0036】

電流制御回路110は、データビット $D_0 \sim D_5$ にそれぞれ対応して設けられた、定電流源120～125およびスイッチ素子130～135を有する。スイッチ素子130～135は、定電流源120～125とそれぞれ直列に、データ線 DL および電源ノード12の間に接続される。定電流源120～125が接続される電源ノード12は、必ずしも共通電極と同一ではないが、共通電極と同一の所定電圧 V_{ss} を供給するノードとして、図2中の電源ノード12と同一符号で示される。あるいは、図3に示された電源ノード12を所定電圧 V_{ss} 以外の電圧を供給する他の電源ノードに置き換えることも可能である。

【0037】

定電流源120～125は、最下位桁（LSB）のデータビット D_0 から最上位桁（MSB）のデータビット D_5 へそれぞれ対応して重み付けされた定電流を生成する。具体的には、定電流源120は電流 I_1 を生成し、定電流源121は

電流 I_2 を生成し、定電流源 122 は電流 I_4 を生成し、定電流源 123 は電流 I_8 を生成し、定電流源 124 は電流 I_{16} を生成し、定電流源 125 は電流 I_{32} を生成する。

【0038】

スイッチ素子 130～135 は、制御信号 $V_{cnt0} \sim V_{cnt5}$ にそれぞれ応答してオン・オフする。スイッチ素子 130～135 の各々は、対応の制御信号 V_{cnt} (制御信号 $V_{cnt0} \sim V_{cnt5}$ を総括的に表記したもの) が H レベルのときにオンする一方で、L レベルのときにオフする。制御信号 $V_{cnt0} \sim V_{cnt5}$ は、階調電流の供給時に、対応のデータビット $D_0 \sim D_5$ が “1” であるときに H レベルに設定される一方で、“0” のときに L レベルに設定される。

【0039】

したがって、データビット $D_0 \sim D_5$ の組合せに応じて、対応のデータビットが “1” である定電流源によって画素回路 20 側で電源ノード 11 (電源電圧 V_{dd}) と電氣的に接続されたデータ線 DL と電源ノード 12 (所定電圧 V_{ss}) との間に、データビット $D_0 \sim D_5$ に応じた電流を流すことができる。すなわち、 $(D_5, D_4, D_3, D_2, D_1, D_0) = (0, 0, 0, 0, 0, 0) \sim (1, 1, 1, 1, 1, 1)$ にそれぞれ対応して、電流 $I_0, I_1 \sim I_{63}$ の 64 段階の階調電流をデータ線 DL へ供給することができる。

【0040】

階調電流の供給時におけるデータ線 DL の定常電圧 V_{st} は、当該階調電流をデータ線 DL に流すときの、電流駆動素子 (図 2 における p 型 TFT 23) の電圧－電流特性に応じて決まる。言換えれば、階調電流の供給時において、データ線 DL の電圧 (以下、単に「データ線電圧」と称する) が階調電流に対応した定常電圧 V_{st} に整定するまでの過渡期間では、データ線 DL および画素回路 20 へ供給される階調電流は、データビット $D_0 \sim D_5$ に正確に対応するレベルには未だ整定していない。

【0041】

プリチャージスイッチ 140 は、階調電流の供給に先立って、制御信号 V_{st}

gに応答してオンすることにより、データ線DLを所定電圧（プリチャージ電圧） V_{bf} にプリチャージする。たとえば、プリチャージスイッチ140は、所定電圧 V_{bf} を供給するノードとデータ線DLとの間に接続され、ゲートに制御信号 V_{stg} を受けるn型TFTで構成することができる。

【0042】

プリチャージ調整回路150は、スイッチ素子160～165, 170～175およびキャパシタC0～C5を有する。キャパシタC0～C5は、ノードN0～N5と所定電圧との間にそれぞれ接続される。

【0043】

スイッチ素子160～165は、充電電圧 $V_0 \sim V_5$ とノードN0～N5との間にそれぞれ設けられ、各々がプリチャージスイッチ140と共通の制御信号 V_{stg} に응答してオン・オフする。

【0044】

スイッチ素子170～175は、ノードN0～N5とデータ線DLとの間にそれぞれ設けられ、スイッチ素子130～135と共通の制御信号 $V_{cnt0} \sim V_{cnt5}$ にそれぞれ응答してオン・オフする。スイッチ素子160～165, 170～175の各々は、代表的にはn型TFTで構成される。

【0045】

すなわち、スイッチ素子160, 170およびキャパシタC0は、データビットD0に対応するプリチャージ調整ユニットを構成している。同様に、スイッチ素子161～165, 171～175およびキャパシタC1～C5によって、データビットD1～D5にそれぞれ対応するプリチャージ調整ユニットが構成される。

【0046】

次に、電流供給回路100の動作を、図4を用いて説明する。

図4を参照して、電流供給期間が開始される時刻 t_1 以前において、制御信号 $V_{cnt0} \sim V_{cnt5}$ は、データビットD0～D5のレベルにかかわらず、Lレベルに設定される。

【0047】

また、電流供給期間に先立って設けられる容量充電期間（時刻 $t_0 \sim t_1$ 間）では、制御信号 V_{stg} が H レベルに設定されて、スイッチ素子 140, 160 ~ 165 の各々がオンされる。したがって、容量充電期間においては、データ線 DL が所定電圧 V_{bf} に充電される一方で、キャパシタ $C_0 \sim C_5$ は、充電電圧 $V_0 \sim V_5$ によってそれぞれ充電される。

【0048】

時刻 t_1 において、選択行の画素に対する電流供給を行なうために、選択行の走査線 SL が非選択状態（H レベル）から選択状態（L レベル）に遷移する。走査線 SL は、走査対象が切換わる時刻 t_2 までの間、選択状態に維持される。

【0049】

選択行の走査線 SL が選択状態に設定されると、既に説明したように、データ線 DL は、選択行の画素回路 20 によって、電流駆動素子（p 型 TFT 23）を介して電源ノード 11（電源電圧 V_{dd} ）と電氣的に接続される。

【0050】

電流供給期間（時刻 $t_1 \sim t_2$ ）において、制御信号 $V_{cnt0} \sim V_{cnt5}$ は、データビット $D_0 \sim D_5$ にそれぞれ対応したレベルに設定される。図 4 においては、データビット $D_0 \sim D_5$ が、 $(D_5, D_4, D_3, D_2, D_1, D_0) = (1, 1, 0, 0, 1, 1)$ である場合が例示される。

【0051】

これにより、対応のデータビットが“1”であるスイッチ素子 130, 131, 134, 135 がオンして、定電流源 120, 121, 124, 125 がデータ線 DL と接続される。したがって、データ線 DL を流れる電流、すなわち、電流供給回路 100 が供給する階調電流は、定電流源 120, 121, 124, 125 のそれぞれの供給電流の和、すなわち、 $I_1 + I_2 + I_{16} + I_{32} = I_{51}$ に設定される。

【0052】

このとき、データ線電圧は定常的には電流 I_{51} に対応する定常電圧に整定していき、データ線電圧が当該定常電圧に達した時点で、データ線 DL を流れる階調電流も画像データに応じた電流 I_{51} に整定する。データ線 DL の定常電圧は

、データビットD0～D5に応じて異なる。定常電圧のレベルは、データビットD0～D5に対応して定められる階調電流のレベルと、電流駆動素子の特性とから予め一意的に求めることができる。

【0053】

制御信号Vcnt0～Vcnt5に応答して、スイッチ素子130, 131, 134, 135と並行して、スイッチ素子170, 171, 174, 175もオンする。したがって、電流供給期間の開始時より、データ線DLには、対応のデータビットが“1”であるキャパシタC0, C1, C4, C5が接続される。これにより、上述の電流供給動作と並行して、データ線DLとキャパシタC0, C1, C4, C5との間で電荷の授受が行なわれる。

【0054】

プリチャージ調整回路150において、データ線DLおよびキャパシタC0～C5の間の接続は、データビットD0～D5に応じて制御されるので、プリチャージ調整回路150は、データビットD0～D5に応じた電圧変化をデータ線DLに強制的に生じさせることができる。後程詳細に説明するように、プリチャージ調整回路150およびデータ線DLの間での電荷の授受によって、データ線電圧がデータビットD0～D5に対応するデータ線DLの定常電圧に近づくように、プリチャージ調整回路150は構成される。

【0055】

図5は、実施の形態1に従う電流供給回路による電流供給時におけるデータ線電圧の推移を説明する概念図である。

【0056】

図5には、本発明に従う電流供給回路100による電流供給時でのデータ線電圧の推移が符号200で示される。一方、比較例として、電流供給回路100からプリチャージ調整回路150の配置を省略して、データ線DLを所定電圧にプリチャージした後に階調電流を供給する場合のデータ線電圧の推移を符号210で示している。

【0057】

図5を参照して、本発明の電流供給回路100では、時刻t1における電流供

給開始直後より、データ線DLとプリチャージ調整回路150との間でデータビットD0～D5に応じた電荷の授受が実行されて、データ線電圧をプリチャージ電圧から定常電圧 V_{st} へ近づけるような電圧変化が強制的に生じる。これにより、時刻 t_1 から整定時間 T_{s1} 経過後にデータ線電圧が定常電圧 V_{st} に達し、以後、正確な階調電流をデータ線DLに供給することができる。

【0058】

一方、プリチャージ調整回路150を具備しない構成では、データビットD0～D5に応じてデータ線DLと接続された定電流源による放電動作のみによってデータ線電圧は定常電圧 V_{st} へ近づいていく。したがって、この場合における整定時間 T_{s2} は、電流供給回路100での整定時間 T_{s1} よりも長くなる。

【0059】

すなわち、本発明の電流供給回路100を用いることによって、デジタルデータに応じたレベルのアナログ電流を、速やかに生成することができる。このような電流供給回路を用いて、各画素へ供給される階調表示のための階調電流を発生することにより、階調電流の生成を高速化して表示装置における表示品位の向上や低消費電力化を図ることができる。

【0060】

また、階調電流が微小であり、プリチャージ回路が無いと充電に長い時間を要するような場合でも、データ線電圧が短時間で定常状態に達するため、画像1階調当たりの電流値を小さくすることができる。つまり、データビット数が多くなっても、精度の高い階調表示が可能となり、高品位画質が実現できる。

【0061】

次に、プリチャージ調整回路150の特性を決定づける、所定電圧 V_{bf} 、 $V_0 \sim V_5$ およびキャパシタ $C_0 \sim C_5$ の容量値の設計手法について詳細に説明する。

【0062】

電流供給期間、すなわち画素回路への電流書込時には、画素回路20内のp型TFT23（電流駆動素子）は、ダイオード接続された状態で階調電流を流す。ゲートおよびドレイン間を接続し、ソースを電源電圧 V_{dd} に接続したp型トラ

ンジスタのドレイン電流 I_d は、ドレイン電圧 V_d の関数として、下記 (1) 式のように示される。なお、(1) 式において、ドレイン電流 $I_d [V_d]$ は、ドレイン電圧 V_d におけるドレイン電流 I_d を示すものとする。

【0063】

$$I_d [V_d] = (\beta / 2) \cdot (V_{dd} - V_d - V_{th})^2 \quad \dots (1)$$

ただし、 $\beta = (\mu \cdot W \cdot C_{ox}) / L$ 、 β ：電流係数、 μ ：平均移動度、 W ：ゲートチャネル幅、 C_{ox} ：ゲート容量（単位面積当たり）、 L ：ゲートチャネル長、 V_{th} ：しきい値電圧。

【0064】

また、電流駆動素子が、ソースを接地電圧（0 V）と接続された n 型トランジスタである場合には、(1) 式に代えて下記 (2) 式に従ってドレイン電流が求められる。

【0065】

$$I_d [V_d] = (\beta / 2) \cdot (V_d - V_{th})^2 \quad \dots (2)$$

したがって、(1) 式または (2) 式から、ドレイン電流 I_d すなわち階調電流のレベルに応じて、ドレイン電圧 V_d すなわちデータ線 DL の定常電圧が一意的に求められる。

【0066】

プリチャージ調整回路 150 によって最適な電荷の授受を行なうための条件は、この定常電圧 V_{st} を考慮した電荷保存則を解くことによって求めることができる。すなわち、所定電圧 V_{bf} 、 $V_0 \sim V_5$ およびキャパシタ $C_0 \sim C_5$ の容量値は、データ線の定常電圧を考慮した、スイッチ素子 170～175 のオン前後における電荷保存則とを併せて解くことによって求めることができる。

【0067】

データビット $D_0 \sim D_5$ に応答したスイッチ素子 170～175 のオン後、すなわちプリチャージ調整回路 150 動作後のデータ線電圧を V_{af} とすると、スイッチ素子 170～175 のオン前後における、プリチャージ調整回路 150 およびデータ線 DL の間における電荷保存則は、下記 (3) 式で示される。なお、以下では、キャパシタ $C_0 \sim C_5$ の容量値についても、 $C_0 \sim C_5$ と表記するも

のとする。

【0068】

$$(C_{sg} + \sum C_k) \cdot V_{af} = C_{sg} \cdot V_{bf} + \sum (C_k \cdot V_k) \quad \dots (3)$$

なお、 C_{sg} ：データ線容量、 k ： $k=0 \sim 5$ のうち $D_k = "1"$ である k 。

【0069】

階調電流を速やかに整定させるためには、電圧 V_{af} と上記(1)式または(2)式から求められた定常電圧 V_{st} とが同一であることが望ましい。したがって、データビット $D_0 \sim D_5$ の64通りの組合せのそれぞれにおいて、定常電圧 V_{st} を V_{af} に代入して得られた(3)式を連立させて解くことにより、電圧 V_{bf} 、 $V_0 \sim V_5$ および容量値 $C_0 \sim C_5$ を求めることができる。

【0070】

なお、ここでは、一設計例として、 $C_{sg} = 2 \text{ pF}$ (ピコファラッド)、 $V_5 = 1 \text{ V}$ と仮定し、電源電圧 $V_{dd} = 8.5 \text{ V}$ 、電流係数 $(\beta/2) = 1.9 \times 10^{-7}$ ($1.9 \text{ E}-7$ とも表記する)とした。

【0071】

未知数が12個であるので、上下64通りのうち、代表的に12通りについて、(4)～(15)式を連立させて求めればよい。

【0072】

なお、(4)～(15)式において、電圧 $V_d [I_d = x]$ は、ドレイン電流(階調電流) $I_d = x$ におけるドレイン電圧 V_d (すなわち定常電圧 V_{st})を示すものとする。電圧 $V_d [I_d = x]$ は、上記(1)式より求めることができる。

【0073】

$$(2 + C_5) \times V_d [I_d = I_{32}] = 2 \times V_{bf} + C_5 \times V_5 \quad \dots (4)$$

$$(2 + C_4) \times V_d [I_d = I_{16}] = 2 \times V_{bf} + C_4 \times V_4 \quad \dots (5)$$

$$(2 + C_3) \times V_d [I_d = I_8] = 2 \times V_{bf} + C_3 \times V_3 \quad \dots (6)$$

$$(2 + C_2) \times V_d [I_d = I_4] = 2 \times V_{bf} + C_2 \times V_2 \quad \dots (7)$$

$$(2 + C_1) \times V_d [I_d = I_2] = 2 \times V_{bf} + C_1 \times V_1 \quad \dots (8)$$

$$(2 + C_0) \times V_d [I_d = I_1] = 2 \times V_{bf} + C_0 \times V_0 \quad \dots (9)$$

$$(2 + C_5 + C_4) \times V_d [I_d = I_{48}] = 2 \times V_{bf} + C_5 \times V_5 + C_4 \times V_4 \quad \dots (10)$$

$$(2 + C_4 + C_3) \times V_d [I_d = I_{24}] = 2 \times V_{bf} + C_4 \times V_4 + C_3 \times V_3 \quad \dots (11)$$

$$(2 + C_3 + C_2) \times V_d [I_d = I_{12}] = 2 \times V_{bf} + C_3 \times V_3 + C_2 \times V_2 \quad \dots (12)$$

$$(2 + C_2 + C_1) \times V_d [I_d = I_6] = 2 \times V_{bf} + C_2 \times V_2 + C_1 \times V_1 \quad \dots (13)$$

$$(2 + C_1 + C_0) \times V_d [I_d = I_3] = 2 \times V_{bf} + C_1 \times V_1 + C_0 \times V_0 \quad \dots (14)$$

$$(2 + C_0 + C_5) \times V_d [I_d = I_{33}] = 2 \times V_{bf} + C_0 \times V_0 + C_5 \times V_5 \quad \dots (15)$$

たとえば、 $I_{32} = 1.0 \text{E} - 6$ ($1.0 \mu\text{A}$: マイクロアンペア) とすると、(4) ~ (15) 式を連立させることによって以下の結果が得られる。

【0074】

$V_{bf} = 5.27 \text{V}$, $V_0 = 1.96 \text{V}$, $V_1 = 3.54 \text{V}$, $V_2 = 2.89 \text{V}$, $V_3 = 2.57 \text{V}$, $V_4 = -0.29 \text{V}$, ($V_5 = 1.0 \text{V}$)。

【0075】

また、 $C_0 = 0.11 \text{pF}$, $C_1 = 0.50 \text{pF}$, $C_2 = 0.65 \text{pF}$, $C_3 = 1.03 \text{pF}$, $C_4 = 0.67 \text{pF}$, $C_5 = 1.87 \text{pF}$ 。

【0076】

図6は、本発明に従う電流供給回路におけるプリチャージ調整回路によるデータ線電圧の効果を説明する概念図である。

【0077】

図6を参照して、横軸は、データ線DLの電流、すなわち階調電流を示し、縦軸は、データ線電圧を示している。特性線220は、上記(1)式によって示された、画素回路中の電流駆動素子(p型TFT23)のドレイン電圧(データ線電圧)およびドレイン電流(データ線電流: 階調電流)の関係を示すものである。

。

【0078】

一方、データビットD0～D5に対応して段階的に設定される階調電流のそれぞれのレベルにおいて、上記のように求められた容量値C0～C5および電圧Vb f, V0～V5を用いて、上記(3)式によって、それぞれの階調電流に対応して求められた電圧V a fを特性点230に示している。すなわち、特性点230によって示されるデータ線電圧は、プリチャージ調整回路150による電荷の授受によって到達する電圧に相当する。

【0079】

特性線220と、プロットされた特性点230の比較から理解されるように、上述したように設計したプリチャージ調整回路150によって、電流供給開始後速やかに、データ線電圧を定常電圧近傍に近づけることができる。この結果、図5を用いて説明したように、データビットD0～D5に応じたレベルの階調電流をデータ線DLに高速に生じさせることが可能となる。

【0080】

[実施の形態2]

図7は、実施の形態2に従う電流供給回路の構成を示す回路図である。

【0081】

以下の説明で明らかになるように、実施の形態2に従う電流供給回路100#は、実施の形態1に従う電流供給回路100と比較して、プリチャージ調整回路150の動作タイミングのみが異なる。したがって、図1に示した構成において、電流供給回路100に代えて図7の電流供給回路100#を適用することによっても、同様の効果を有する表示装置を構成することができる。

【0082】

図7を参照して、実施の形態2に従う電流供給回路100#は、図3に示した実施の形態1に従う電流供給回路100と比較して、スイッチ素子170～175のオン・オフを制御する制御信号V c n t 0 #～V c n t 5 #と、スイッチ素子130～135のオン・オフを制御する制御信号V c n t 0～V c n t 5とが独立に設定される点異なる。その他の部分の構成については、図3に示した電流供給回路100と同様であるので詳細な説明は繰返さない。

【0083】

図8は、実施の形態2に従う電流供給回路の動作を説明する波形図である。

図8を参照して、実施の形態2に従う電流供給回路100#においては、制御信号 $V_{cnt0} \sim V_{cnt5}$ は、図4に示したのと同様に、電流供給が開始される時刻 t_1 までの間Lレベルに設定される一方で、電流供給期間には、対応のデータビット $D_0 \sim D_5$ にそれぞれ応じたレベルに設定される。一方、容量充電期間は、時刻 t_1 以前の時刻 t_a において終了される。

【0084】

したがって、制御信号 V_{stg} は、時刻 $t_0 \sim t_a$ までの間Hレベルに設定され、時刻 t_a 後にはLレベルに設定される。この結果、時刻 t_a においては、プリチャージスイッチ140がオフされ、キャパシタ充電用のスイッチ素子160～165もオフされることになる。

【0085】

時刻 t_a より、制御信号 $V_{cnt0\#} \sim V_{cnt5\#}$ は、データビット $D_0 \sim D_5$ にそれぞれ対応するレベルに設定され、時刻 t_2 までこれらのレベルは維持される。すなわち、制御信号 $V_{cnt0\#} \sim V_{cnt5\#}$ は、制御信号 $V_{cnt0} \sim V_{cnt5}$ と同じレベルへ、制御信号 $V_{cnt0} \sim V_{cnt5}$ よりも早く設定される信号である。

【0086】

この結果、電流供給が開始される時刻 t_1 以前の時刻 $t_a \sim t_1$ において、データ線電圧をデータビット $D_0 \sim D_5$ に対応した階調電流供給時の定常電圧へ予め近づけることができる。その状態で、電流供給が開始されるので、実施の形態2に従う構成によっても、実施の形態1に従う電流供給回路と同様に、階調電流を高速に生成することが可能となる。

【0087】

なお、実施の形態1および2に示した制御信号 V_{stg} 、 $V_{cnt0} \sim V_{cnt5}$ 、 $V_{cnt0\#} \sim V_{cnt5\#}$ については、シフトレジスタ52によって、画素列を順次選択するためのクロックCLKHを適宜遅延させたタイミング信号を制御信号群53として発生させて、かつ、ラッチ回路54において、データビ

ットD0～D5および当該制御信号群53の論理演算を行なうことによって得ることができる。

【0088】

以上本発明においては、データビットD0～D5から構成される6ビットのデジタルデータに応じた階調表示を各画素で実行する構成について説明したが、デジタルデータのビット数はこのような場合に限定されず、定電流回路に含まれる定電流源120～125の個数およびプリチャージ調整回路150中の充電キャパシタC0～C5をビット数に応じた個数を適宜設けることにより、任意のビット数に対して本発明の電流供給回路を適用することができる。

【0089】

また、図2に示した画素の構成例は代表例にすぎず、電流書込期間中に、データ線DLと電氣的に接続されて階調電流を流す電流駆動素子を含む任意の構成の画素駆動回路および電流駆動型発光素子を含む画素を備える表示装置について、本発明を適用することが可能である。

【0090】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0091】

【発明の効果】

以上説明したように、本発明に従う電流供給回路は、デジタルデータに応じた電流の開始直後からあるいは開始前において、当該デジタルデータに応じて電流が出力される出力ノードの電圧を強制的に変化させることができるので、所望レベルの電流を速やかに生成することができる。特に、このような電流供給回路を用いて、各画素へ供給される階調表示のための階調電流を発生することにより、階調電流の生成を高速化して、表示装置における表示品位の向上や低消費電力化を図ることができる。また、階調電流が微小であり、プリチャージ回路が無いと充電に長い時間を要するような場合でも、当該出力ノードの電圧が短時間で定常

状態に達するため、画像1階調当たりの電流値を小さくすることができる。つまり、データビット数が多くなっても、精度の高い階調表示が可能となり、高品位画質が実現できる。

【図面の簡単な説明】

【図1】 本発明に従う電流供給回路を備えた表示装置の全体構成を示すブロック図である。

【図2】 図1に示された画素回路の構成を示す回路図である。

【図3】 実施の形態1に従う電流供給回路の構成を示す回路図である。

【図4】 実施の形態1に従う電流供給回路の動作を示す波形図である。

【図5】 図5は、実施の形態1に従う電流供給回路による電流供給時におけるデータ線電圧の推移を説明する概念図である。

【図6】 本発明に従う電流供給回路におけるプリチャージ調整回路によるデータ線電圧の効果を説明する概念図である。

【図7】 実施の形態2に従う電流供給回路の構成を示す回路図である。

【図8】 実施の形態2に従う電流供給回路の動作を説明する波形図である。

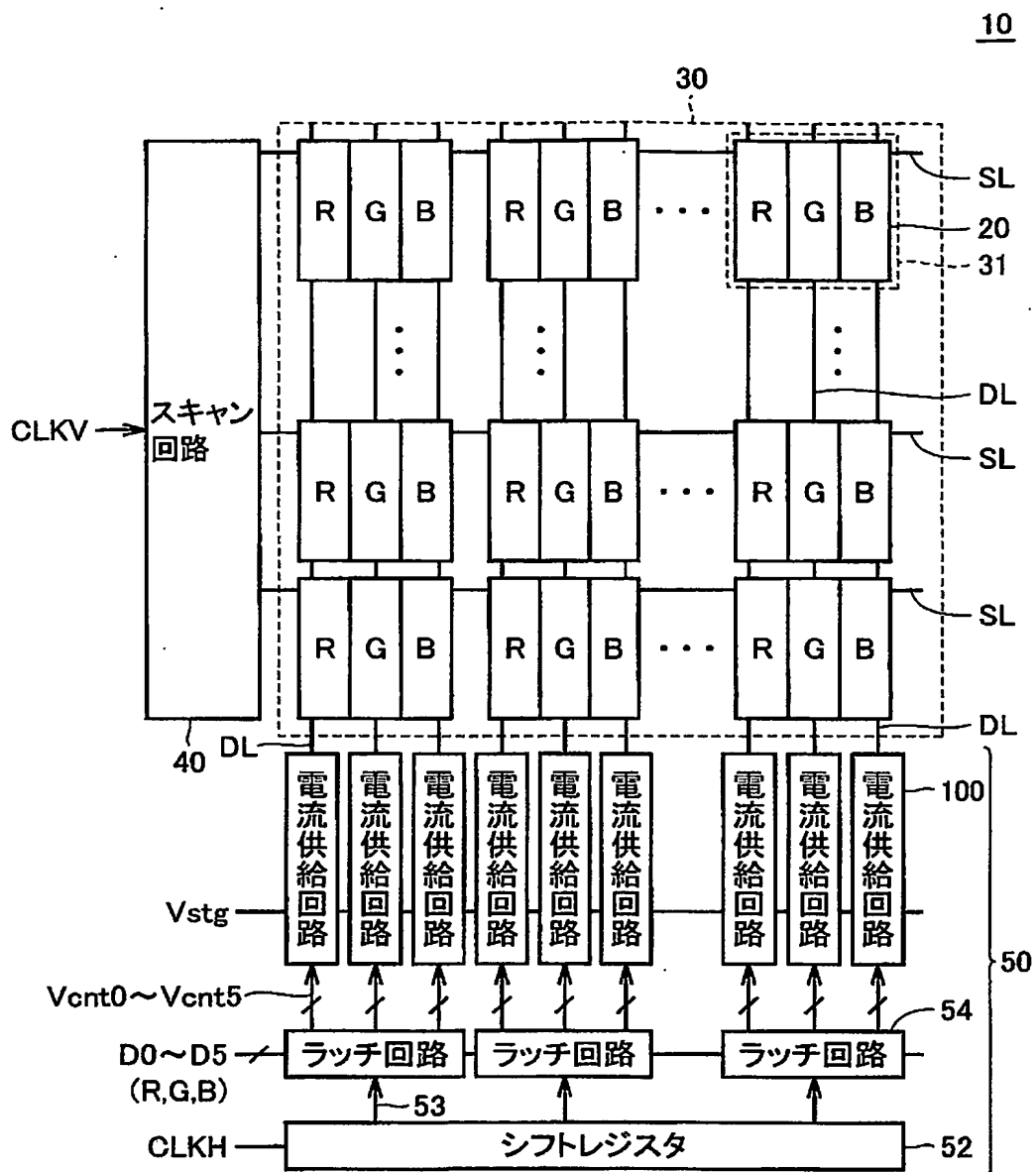
【符号の説明】

10 表示装置、11, 12 電源ノード、20 画素回路、21 有機発光ダイオード、22 画素駆動回路、23 電流駆動素子（p型TFT）、30 表示パネル部、40 スキャン回路、50 階調電流発生部、100, 100# 電流供給回路、110 電流制御回路、120～125 定電流源、130～135, 160～165, 170～175 スイッチ素子、140 プリチャージスイッチ、150 プリチャージ調整回路、C0～C5 キャパシタ、D0～D5 データビット（画像データ）、DL データ線、SL 走査線、V0～V5 充電電圧、Vbf 所定電圧（プリチャージ電圧）、Vcnt0～Vcnt5, Vcnt0#～Vcnt5# 制御信号、Vdd 電源電圧、Vss 所定電圧、Vst 定常電圧（データ線）。

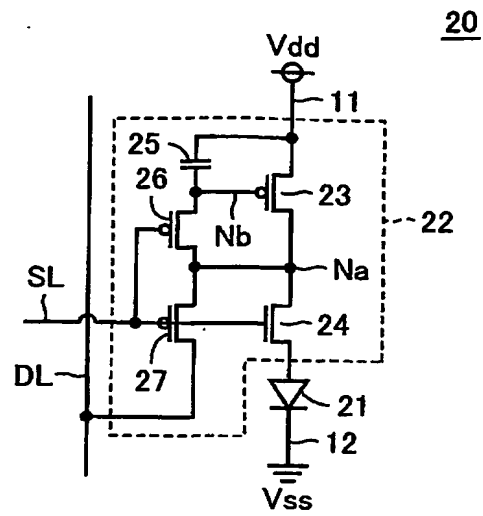
【書類名】

図面

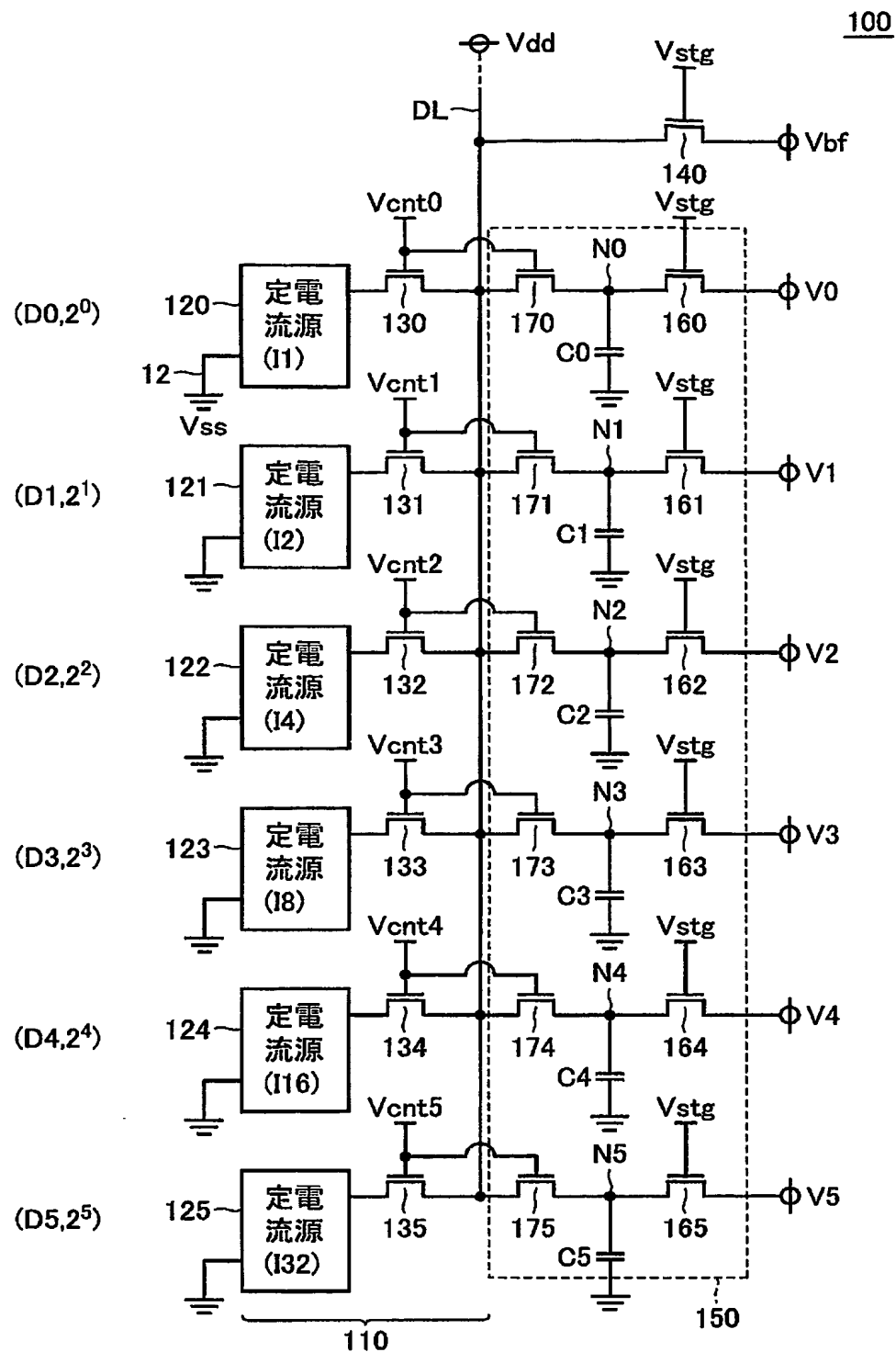
【図 1】



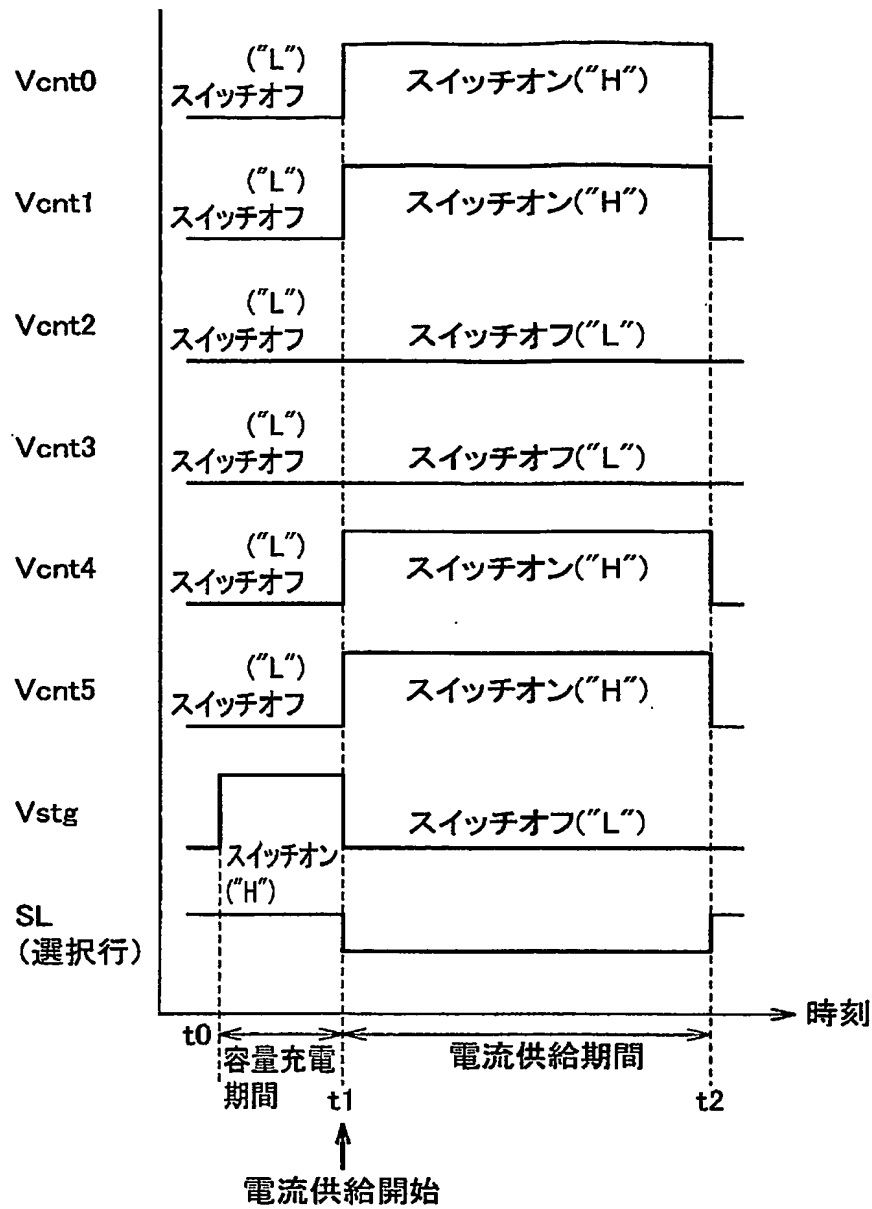
【図 2】



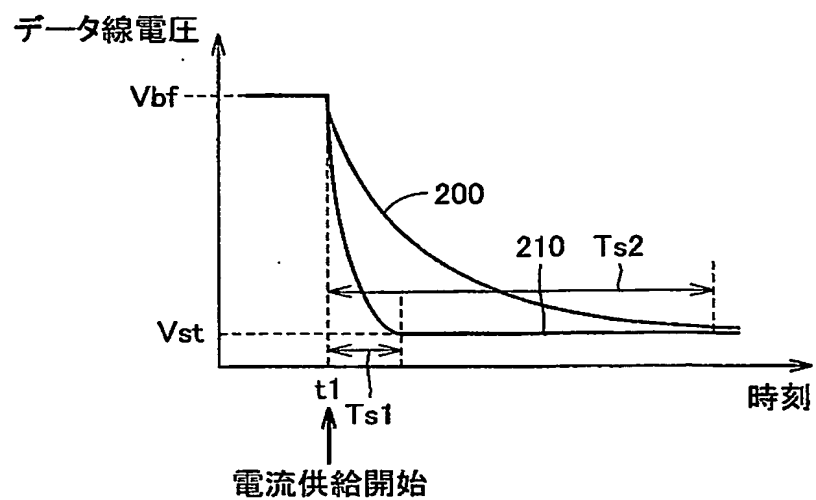
【図 3】



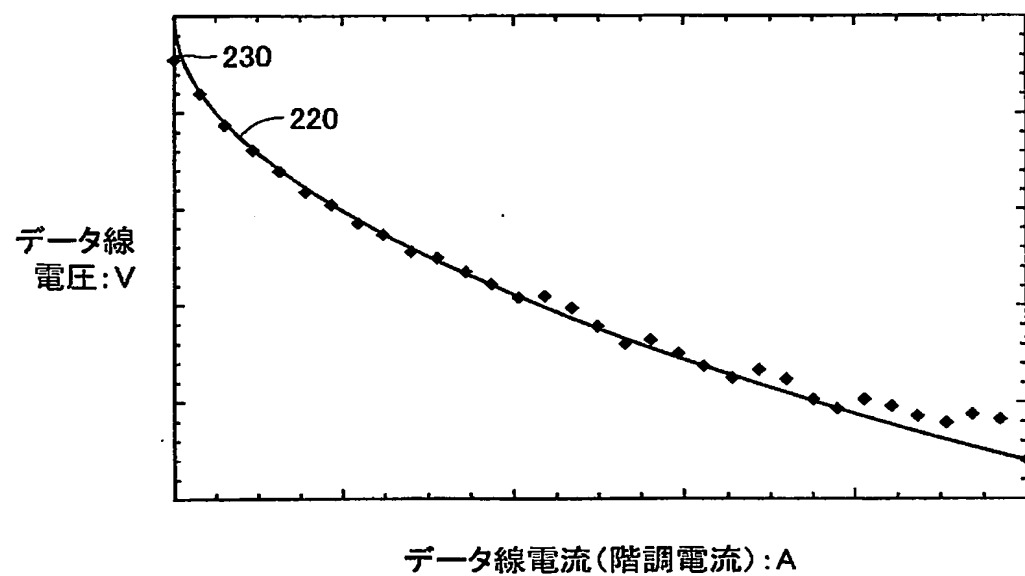
【図 4】



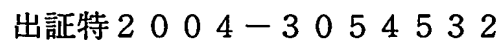
【図 5】



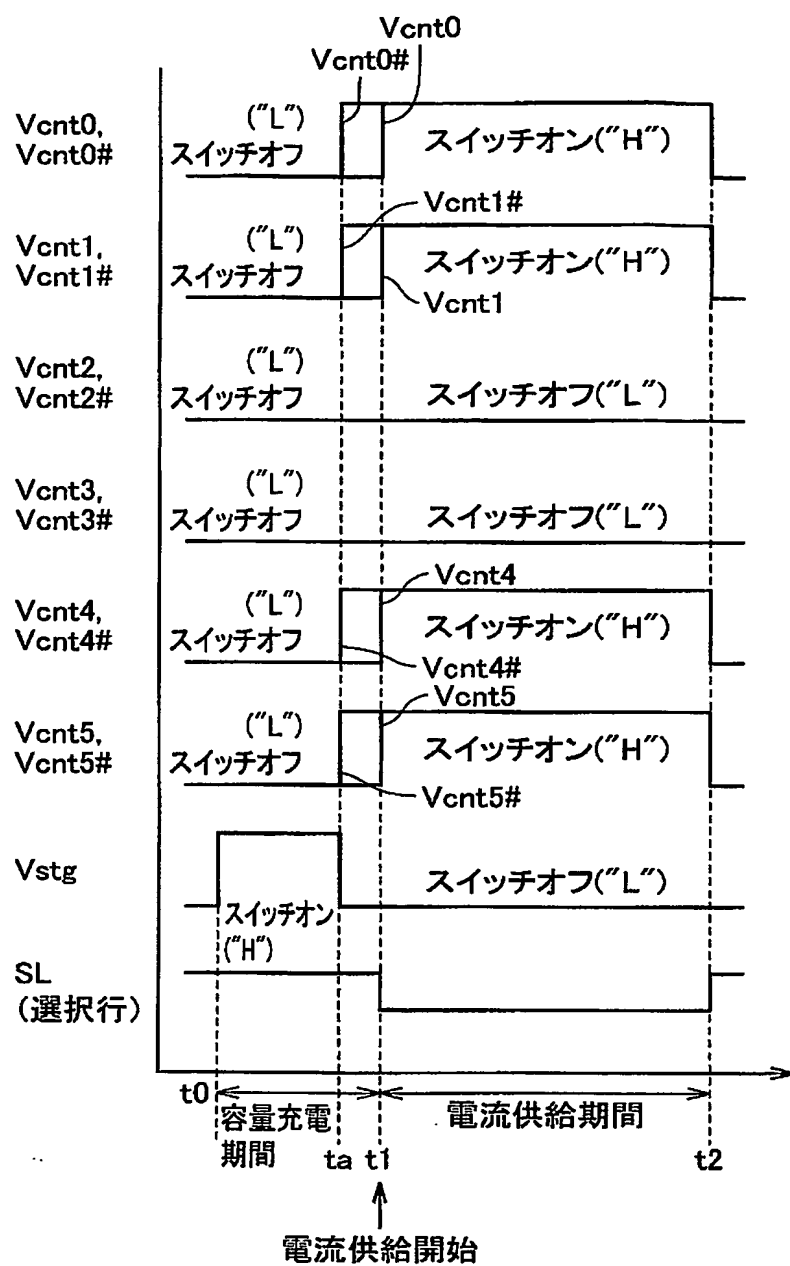
【図 6】



100#



【図 8】



【書類名】

要約書

【要約】

【課題】 デジタルデータに応じたアナログ電流を高速に供給することが可能な電流供給回路を提供する。

【解決手段】 データビットD 0 ～D 5 で構成されるデジタル信号に応じた電流をデータ線D L へ供給する電流供給回路 1 0 0 は、電流制御回路 1 1 0 と、プリチャージスイッチ 1 4 0 と、プリチャージ調整回路 1 5 0 とを含む。電流制御回路 1 1 0 は、データビットD 0 ～D 5 を反映した制御信号V c n t 0 ～V c n t 5 に応答して、データ線D L に流れる電流量を制御する。プリチャージスイッチ 1 4 0 は、電流供給前にデータ線D L を所定電圧V b f でプリチャージする。プリチャージ調整回路 1 5 0 は、データビットD 0 ～D 5 に対応する定常電圧へデータ線D L の電圧が近づくように、制御信号V c n t 0 ～V c n t 5 に応じた電荷の授受をデータ線D L との間で行なう。

【選択図】

図 3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社